

**SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING
THE SAME**

A plurality of semiconductor chips 23 are bonded onto a bonding layer 22 on a base plate 21. First to third insulation films 31, 35, and 39, first and second base metal layers 33, 37, first and second rewirings 34 and 38, and the soldering ball 41 are collectively formed on a plurality of the semiconductor chips. The first and second base metal layers 33 and 37 are formed by sputtering. The first and second rewirings 34 and 38 are formed by electroplating. Then, between the respective semiconductor chips 23, the three layers of insulation films 39, 35, and 31, the bonding layer 22 and the base plate 21 are cut off.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-298005

(P2003-298005A)

(43) 公開日 平成15年10月17日 (2003. 10. 17)

(51) Int.Cl.⁷

H 0 1 L 25/04

25/18

識別記号

F I

H 0 1 L 25/04

テーマコード(参考)

Z

審査請求 未請求 請求項の数27 O L (全 16 頁)

(21) 出願番号 特願2003-5777(P2003-5777)

(22) 出願日 平成15年1月14日 (2003. 1. 14)

(31) 優先権主張番号 特願2002-26808(P2002-26808)

(32) 優先日 平成14年2月4日 (2002. 2. 4)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72) 発明者 若林 猛

東京都羽村市栄町3丁目2番1号 カシオ

計算機株式会社羽村技術センター内

(72) 発明者 三原 一郎

東京都羽村市栄町3丁目2番1号 カシオ

計算機株式会社羽村技術センター内

(74) 代理人 100073221

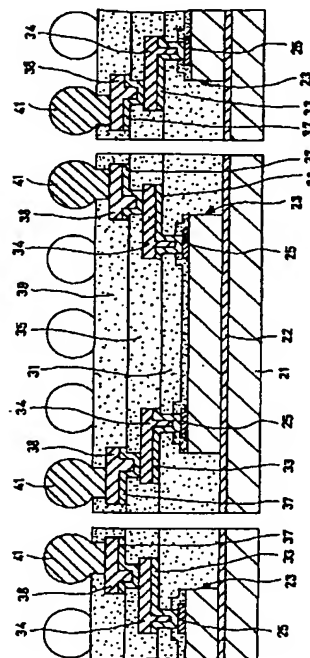
弁理士 花輪 義男

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 半導体チップのサイズ外にも半田ボールによる接続端子を備えた半導体装置であって、半導体チップと再配線とを確実に導電接続し、且つ、複数の半導体チップを一括して処理する。

【解決手段】 ベース板21上の接着層22上に複数の半導体チップ23を接着する。そして、複数の半導体チップ23に対して、第1～第3の絶縁膜31、35、39、第1、第2の下地金属層33、37、第1、第2の再配線34、38および半田ボール41の形成を一括して行う。この場合、第1、第2の下地金属層33、37はスパッタにより形成し、第1、第2の再配線34、38は電解メッキにより形成する。そして、各半導体チップ23間で3層の絶縁膜39、35、31、接着層22およびベース板21を切断する。



【特許請求の範囲】

【請求項1】 一面上に接続パッドを有する半導体チップと、
該半導体チップの一面および周囲面を覆うように設けられた絶縁膜と、
該絶縁膜の上面に前記半導体チップの接続パッドに接続されて設けられた再配線とを備え、
前記再配線のパッド部の一部は前記半導体チップの周囲における前記絶縁膜上に配置されていることを特徴とする半導体装置。

【請求項2】 同一の平面上に配置され、一面上に接続パッドを有する複数の半導体チップと、
該各半導体チップの一面および周囲面を覆うように設けられた絶縁膜と、
該絶縁膜の上面に前記各半導体チップの接続パッドに接続されて設けられた再配線とを備え、
前記再配線のパッド部の一部は前記各半導体チップの周囲における前記絶縁膜上に配置されていることを特徴とする半導体装置。

【請求項3】 請求項1または2に記載の発明において、前記半導体チップの周囲における前記絶縁膜の下面は前記半導体チップの他面と同一の平面上に配置されていることを特徴とする半導体装置。

【請求項4】 請求項1または2に記載の発明において、前記半導体チップおよびその周囲における前記絶縁膜はベース板上に設けられていることを特徴とする半導体装置。

【請求項5】 請求項1または2に記載の発明において、前記絶縁膜は複数層であり、その層間に、前記半導体チップの接続パッドと前記再配線とを接続する層間再配線が設けられていることを特徴とする半導体装置。

【請求項6】 請求項5に記載の発明において、前記複数層の絶縁膜のうちの最下層の絶縁膜を除く絶縁膜中に、その上下の再配線を接続する柱状電極が設けられていることを特徴とする半導体装置。

【請求項7】 請求項2に記載の発明において、前記複数の半導体チップは同種であることを特徴とする半導体装置。

【請求項8】 請求項2に記載の発明において、前記複数の半導体チップは異種であることを特徴とする半導体装置。

【請求項9】 請求項2に記載の発明において、前記複数の半導体チップと同一の平面上にチップ部品が配置されていることを特徴とする半導体装置。

【請求項10】 請求項1～9のいずれかに記載の発明において、前記再配線を含む前記絶縁膜の上面において前記再配線のパッド部を除く部分に最上層絶縁膜が設けられていることを特徴とする半導体装置。

【請求項11】 請求項10に記載の発明において、前記再配線のパッド部上に半田ボールが設けられているこ

とを特徴とする半導体装置。

【請求項12】 請求項11に記載の発明において、前記最上層絶縁膜中に、前記再配線のパッド部と前記半田ボールとを接続する柱状電極が設けられていることを特徴とする半導体装置。

【請求項13】 一面上に接続パッドを有する複数の半導体チップの他面をベース板上に固着する工程と、
前記複数の半導体チップを含む前記ベース板の上面全体に絶縁膜を形成する工程と、

10 前記絶縁膜の上面に複数組の再配線を前記各半導体チップの接続パッドに接続させて且つその各組のパッド部の一部が前記各半導体チップの周囲における前記絶縁膜上に配置されるように形成する工程と、

前記各半導体チップ間における前記絶縁膜を少なくとも切断して前記半導体チップを1つ有するとともにその周囲に前記絶縁膜を有する半導体装置を複数個得る工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項14】 一面上に接続パッドを有する複数で1組の複数組の半導体チップの他面をベース板上に固着する工程と、

20 前記複数組の半導体チップを含む前記ベース板の上面全体に絶縁膜を形成する工程と、

前記絶縁膜の上面に複数組の再配線を前記各組の半導体チップの接続パッドに接続させて且つその各組のパッド部の一部が前記複数組の半導体チップの各半導体チップの周囲における前記絶縁膜上に配置されるように形成する工程と、

30 前記各組の半導体チップ間における前記絶縁膜を少なくとも切断して前記半導体チップを1組有するとともにその各半導体チップの周囲に前記絶縁膜を有する半導体装置を複数個得る工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項15】 請求項13または14に記載の発明において、前記絶縁膜を、スピンコート法、ダイコート法、またはスクリーン印刷法のいずれかにより形成することを特徴とする半導体装置の製造方法。

【請求項16】 請求項13または14に記載の発明において、前記絶縁膜は複数層であり、その層間に、前記各半導体チップの接続パッドとそれに対応する前記各組の再配線とを接続する複数組の層間再配線を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項17】 請求項14に記載の発明において、前記複数層の絶縁膜のうちの最下層の絶縁膜を除く絶縁膜中に、その上下の再配線を接続する柱状電極を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項18】 請求項13に記載の発明において、前記複数の半導体チップは同種であることを特徴とする半導体装置の製造方法。

50 【請求項19】 請求項13に記載の発明において、前

記複数の半導体チップは異種であることを特徴とする半導体装置の製造方法。

【請求項 20】 請求項 13 に記載の発明において、前記ベース板上にチップ部品を配置し、前記半導体装置として前記チップ部品を備えたものを得ることを特徴とする半導体装置の製造方法。

【請求項 21】 請求項 13～20 のいずれかに記載の発明において、前記再配線を含む前記絶縁膜の上面において前記再配線のパッド部を除く部分に最上層絶縁膜を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 22】 請求項 21 に記載の発明において、前記再配線のパッド部上に半田ボールを形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 23】 請求項 22 に記載の発明において、前記最上層絶縁膜中に、前記再配線のパッド部と前記半田ボールとを接続する柱状電極を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 24】 請求項 13～23 のいずれかに記載の発明において、前記絶縁膜を切断するとともに前記ベース板を切断し、前記半導体装置としてベース板を備えたものを得ることを特徴とする半導体装置の製造方法。

【請求項 25】 請求項 24 に記載の発明において、切断前の前記ベース板下に別のベース板を固着し、前記ベース板を切断した後に、前記ベース板を備えた半導体装置を前記別のベース板から 1 つずつ剥がしてピックアップすることを特徴とする半導体装置の製造方法。

【請求項 26】 請求項 13～22 のいずれかに記載の発明において、前記半導体装置を前記ベース板から 1 つずつ剥がしてピックアップすることを特徴とする半導体装置の製造方法。

【請求項 27】 ベース板上に、上面に複数の接続パッドを有する半導体チップを、前記上面を上方にしてベース板上に相互に離間して固着する工程と、スピンコーティング法、ダイコート法およびスクリーン印刷法のいずれかにより前記半導体チップの上面を含む前記ベース板の上面全体に、第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上に、各々が前記いずれかの前記半導体チップの前記接続パッドに接続され、かつ、少なくとも一部が前記接続パッドに接続された半導体チップの周囲に形成された前記第 1 の絶縁膜の領域に配置されるパッド部を有する複数組の再配線を形成する工程と、前記再配線を含む前記第 1 の絶縁膜上の全面に前記パッド部を露出する開口部を有する第 2 の絶縁膜を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体装置および

その製造方法に関する。

【0002】

【従来の技術】近年、携帯電話に代表されるような携帯型電子機器の小型化に相俟って CSP (chip size package) と呼ばれる半導体装置が開発されている。この CSP は、複数の外部接続用の接続パッドが形成されたベアーの半導体装置の上面にパッシベーション膜（中間絶縁膜）を設け、このパッシベーション膜の各接続パッドの対応部に開口部を形成し、該開口部を介して各接続パッドに接続される再配線を形成し、各再配線他端部側に柱状の外部接続用電極を形成するとともに、各外部接続用電極間に封止材を充填したものである。このような、CSP によれば、各柱状の外部接続用電極上に半田ボールを形成しておくことにより、接続端子を有する回路基板にフェースダウン方式でボンディングすることができ、実装面積をほぼベアーの半導体装置と同一のサイズとすることが可能となるので、従来のワイヤーボンディング等を用いたフェースアップ方式のボンディング方法に比し、電子機器を大幅に小型化することが可能である。このような、CSP において、生産性を高めるために、ウエハ状態の半導体基板にパッシベーション膜、再配線、外部接続用電極、および封止材を形成し、さらに、封止材で覆われずに露出された外部接続用電極の上面に半田ボールを設けた後、ダイシングラインで切断するようにしたものがある（例えば、特許文献 1 参照）。

【0003】

【特許文献 1】特開 2001-168128 号公報

【0004】

【発明が解決しようとする課題】ところで、上記従来の半導体装置では、集積化が進むに従って、外部接続用電極の数が増加すると、次のような問題があった。すなわち、上述した如く、CSP は、ベアーの半導体装置の上面に外部接続用電極を配列するので、通常は、マトリクス状に配列するのであるが、そのために、外部接続用電極数の多い半導体装置の場合には、外部接続用電極のサイズおよびピッチが極端に小さくなってしまふ欠点を有しており、このため、ベアーの半導体装置のサイズの割に外部接続用電極が多いものには適用できないものであった。すなわち、外部接続用電極のサイズおよびピッチが極端に小さくなれば、回路基板との位置合わせが困難であるばかりでなく、接合強度が不足する、ボンディング時に電極間の短絡が発生する、通常はシリコン基板からなる半導体基板と回路基板の線膨張係数の差に起因して発生する応力により外部接続用電極が破壊される等の致命的な問題が発生するのである。

【0005】そこで、この発明は、外部接続用電極の数が増加しても、そのサイズおよびピッチを必要な大きさにすることが可能となる新規な半導体装置およびその製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】請求項1に記載の発明は、一面上に接続パッドを有する半導体チップと、該半導体チップの一面および周囲面を覆うように設けられた絶縁膜と、該絶縁膜の上面に前記半導体チップの接続パッドに接続されて設けられた再配線とを備え、前記再配線のパッド部の一部は前記半導体チップの周囲における前記絶縁膜上に配置されていることを特徴とするものである。請求項2に記載の発明は、同一の平面上に配置され、一面上に接続パッドを有する複数の半導体チップと、該各半導体チップの一面および周囲面を覆うように設けられた絶縁膜と、該絶縁膜の上面に前記各半導体チップの接続パッドに接続されて設けられた再配線とを備え、前記再配線のパッド部の一部は前記各半導体チップの周囲における前記絶縁膜上に配置されていることを特徴とするものである。請求項3に記載の発明は、請求項1または2に記載の発明において、前記半導体チップの周囲における前記絶縁膜の下面は前記半導体チップの他面と同一の平面上に配置されていることを特徴とするものである。請求項4に記載の発明は、請求項1または2に記載の発明において、前記半導体チップおよびその周囲における前記絶縁膜はベース板上に設けられていることを特徴とするものである。請求項5に記載の発明は、請求項1または2に記載の発明において、前記絶縁膜は複数層であり、その層間に、前記半導体チップの接続パッドと前記再配線とを接続する層間再配線が設けられていることを特徴とするものである。請求項6に記載の発明は、請求項5に記載の発明において、前記複数層の絶縁膜のうちの最下層の絶縁膜を除く絶縁膜中に、その上下の再配線を接続する柱状電極が設けられていることを特徴とするものである。請求項7に記載の発明は、請求項2に記載の発明において、前記複数の半導体チップは同種であることを特徴とするものである。請求項8に記載の発明は、請求項2に記載の発明において、前記複数の半導体チップは異種であることを特徴とするものである。請求項9に記載の発明は、請求項2に記載の発明において、前記複数の半導体チップと同一の平面上にチップ部品が配置されていることを特徴とするものである。請求項10に記載の発明は、請求項1～9のいずれかに記載の発明において、前記再配線を含む前記絶縁膜の上面において前記再配線のパッド部を除く部分に最上層絶縁膜が設けられていることを特徴とするものである。請求項11に記載の発明は、請求項10に記載の発明において、前記再配線のパッド部に半田ボールが設けられていることを特徴とするものである。請求項12に記載の発明は、請求項11に記載の発明において、前記最上層絶縁膜中に、前記再配線のパッド部と前記半田ボールとを接続する柱状電極が設けられていることを特徴とするものである。請求項13に記載の発明は、一面上に接続パッドを有する複数の半導体チップの他面をベース板上に固着する工程と、前記複数の半導体チップを含む前

記ベース板の上面全体に絶縁膜を形成する工程と、前記絶縁膜の上面に複数組の再配線を前記各半導体チップの接続パッドに接続させて且つその各組のパッド部の一部が前記各半導体チップの周囲における前記絶縁膜上に配置されるように形成する工程と、前記各半導体チップ間における前記絶縁膜を少なくとも切断して前記半導体チップを1つ有するとともにその周囲に前記絶縁膜を有する半導体装置を複数個得る工程とを有することを特徴とするものである。請求項14に記載の発明は、一面上に接続パッドを有する複数で1組の複数組の半導体チップの他面をベース板上に固着する工程と、前記複数組の半導体チップを含む前記ベース板の上面全体に絶縁膜を形成する工程と、前記絶縁膜の上面に複数組の再配線を前記各組の半導体チップの接続パッドに接続させて且つその各組のパッド部の一部が前記複数組の半導体チップの各半導体チップの周囲における前記絶縁膜上に配置されるように形成する工程と、前記各組の半導体チップ間における前記絶縁膜を少なくとも切断して前記半導体チップを1組有するとともにその各半導体チップの周囲に前記絶縁膜を有する半導体装置を複数個得る工程とを有することを特徴とするものである。請求項15に記載の発明は、請求項13または14に記載の発明において、前記絶縁膜を、スピンコート法、ダイコート法、またはスクリーン印刷法のいずれかにより形成することを特徴とするものである。請求項16に記載の発明は、請求項13または14に記載の発明において、前記絶縁膜は複数層であり、その層間に、前記各半導体チップの接続パッドとそれに対応する前記各組の再配線とを接続する複数組の層間再配線を形成する工程を有することを特徴とするものである。請求項17に記載の発明は、請求項14に記載の発明において、前記複数層の絶縁膜のうちの最下層の絶縁膜を除く絶縁膜中に、その上下の再配線を接続する柱状電極を形成する工程を有することを特徴とするものである。請求項18に記載の発明は、請求項13に記載の発明において、前記複数の半導体チップは同種であることを特徴とするものである。請求項19に記載の発明は、請求項13に記載の発明において、前記複数の半導体チップは異種であることを特徴とするものである。請求項20に記載の発明は、請求項13に記載の発明において、前記ベース板上にチップ部品を配置し、前記半導体装置として前記チップ部品を備えたものを得ることを特徴とするものである。請求項21に記載の発明は、請求項13～20のいずれかに記載の発明において、前記再配線を含む前記絶縁膜の上面において前記再配線のパッド部を除く部分に最上層絶縁膜を形成する工程を有することを特徴とするものである。請求項22に記載の発明は、請求項21に記載の発明において、前記再配線のパッド部に半田ボールを形成する工程を有することを特徴とするものである。請求項23に記載の発明は、請求項22に記載の発明において、前記最上層絶

縁膜中に、前記再配線のパッド部と前記半田ボールとを接続する柱状電極を形成する工程を有することを特徴とするものである。請求項24に記載の発明は、請求項13～23のいずれかに記載の発明において、前記絶縁膜を切断するとともに前記ベース板を切断し、前記半導体装置としてベース板を備えたものを得ることを特徴とするものである。請求項25に記載の発明は、請求項24に記載の発明において、切断前の前記ベース板下に別のベース板を固着し、前記ベース板を切断した後、前記ベース板を備えた半導体装置を前記別のベース板から1つずつ剥がしてピックアップすることを特徴とするものである。請求項26に記載の発明は、請求項13～22のいずれかに記載の発明において、前記半導体装置を前記ベース板から1つずつ剥がしてピックアップすることを特徴とするものである。請求項27に記載の発明は、ベース板上に、上面に複数の接続パッドを有する半導体チップを、前記上面を上方にしてベース板上に相互に離間して固定する工程と、スピンコーティング法、ダイコート法およびスクリーン印刷法のいずれかにより前記半導体チップの上面を含む前記ベース板の上面全体に、第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に、各々が前記いずれかの前記半導体チップの前記接続パッドに接続され、かつ、少なくとも一部が前記接続パッドに接続された半導体チップの周囲に形成された前記第1の絶縁膜の領域に配置されるパッド部を有する複数の再配線を形成する工程と、前記再配線を含む前記第1の絶縁膜上の全面に前記パッド部を露出する開口部を有する第2の絶縁膜を形成する工程とを有することを特徴とするものである。そして、この発明によれば、再配線のパッド部の一部を半導体チップの周囲における絶縁膜上に配置しているので、再配線のパッド部（外部接続用電極）の数が増加しても、そのサイズおよびピッチを必要ない大きさにすることが可能となる。

【0007】

【発明の実施の形態】（第1実施形態）図1はこの発明の第1実施形態としての半導体装置の平面図を示し、図2は図1に示す半導体装置の適当な部分の縦断面図を示したものである。この場合、図示の都合上、図1と図2では各部の寸法は一致していない。

【0008】この半導体装置は、樹脂板、金属板、ガラス板などからなる平面正方形のベース板21を備えている。ベース板21の上面全体には、接着剤、粘着シート、両面接着テープなどからなる接着層22が設けられている。接着層22の上面中央部には、ベース板21のサイズよりもやや小さいサイズの平面正方形の半導体チップ23のシリコン基板24の下面が接着されている。

【0009】接着層22は、エポキシ系樹脂、ポリイミド系樹脂などの一般的にダイボンダ材として知られる樹脂からなるもので、半導体チップ23を加熱加圧するこ

とにより半導体チップ23をベース板21に固着する。半導体チップ23は、シリコン基板24の上面周辺部にアルミニウムなどからなる複数の接続パッド25が設けられ、接続パッド25の中央部を除くシリコン基板24の上面全体に酸化シリコンなどからなる絶縁膜26が設けられ、接続パッド25の中央部が絶縁膜26に設けられた開口部27を介して露出された構造となっている。

【0010】半導体チップ23を含む接着層22の上面全体にはポリイミドやエポキシ系樹脂などからなる第1の絶縁膜31がその上面を平坦とされて設けられている。この場合、第1の絶縁膜31の半導体チップ23の開口部27に対応する部分には開口部32が設けられている。両開口部27、32を介して露出された接続パッド25の上面から第1の絶縁膜31の上面の所定の箇所にかけて第1の下地金属層33が設けられている。第1の下地金属層33の上面全体には第1の再配線34が設けられている。

【0011】第1の再配線34を含む第1の絶縁膜31の上面全体にはポリイミドやエポキシ系樹脂などからなる第2の絶縁膜35がその上面を平坦とされて設けられている。この場合、第2の絶縁膜35の第1の再配線34のパッド部に対応する部分には開口部36が設けられている。開口部36を介して露出された第1の再配線34のパッド部の上面から第2の絶縁膜35の上面の所定の箇所にかけて第2の下地金属層37が設けられている。第2の下地金属層37の上面全体には第2の再配線38が設けられている。

【0012】第2の再配線38を含む第2の絶縁膜35の上面全体にはポリイミドやエポキシ系樹脂などからなる第3の絶縁膜39がその上面を平坦とされて設けられている。この場合、第3の絶縁膜39の第2の再配線38のパッド部に対応する部分には開口部40が設けられている。開口部40内およびその上方には半田ボール41が第2の再配線38のパッド部に接続されて設けられている。複数の半田ボール41は、図1に示すように、マトリクス状に配置されている。

【0013】ここで、ベース板21の平面サイズが半導体チップ23のサイズよりも大きくされている点は重要であり、これにより、半田ボール41の配置領域を半導体チップ23の平面サイズよりも大きくし、半田ボール41のピッチおよび大きさを拡大することができる。従って、半導体チップ23が有する接続パッド25の数が増大しても、半田ボール41のピッチおよび大きさを必要ない大きさにすることができ、ボンディングの信頼性を確保することができる。このようにするため、マトリクス状に配置された半田ボール41のうち、少なくとも、一番外側の周辺部の半田ボール41は半導体チップ23に対応する領域の外周に配置されている。

【0014】次に、この半導体装置の製造方法の一例について説明する。まず、図3に示すように、図2に示す

ベース板21を複数枚採取することができるベース板21の上面全体に接着層22が設けられたものを用意する。ベース板21に接着層22を形成するには、ベース板21上にエポキシ系樹脂、ポリイミド系樹脂などのダイボンド材からなるダイボンドシートを載置し、加熱により仮硬化させた状態でベース板21に接着しておく、あるいは、ベース板21上にダイボンド材をスピンコーティング法、印刷法、転写法など適宜な方法で塗布し、乾燥させるなどの方法がある。そして、半導体チップ23を加熱加圧しながら、接着層22上に搭載し、仮固着し、次いで本硬化して、ベース板21の上面の所定の複数箇所にそれぞれ半導体チップ23のシリコン基板24の下面を接着する。

【0015】次に、図4に示すように、複数の半導体チップ23を含む接着層22の上面全体にポリイミドやエポキシ系樹脂などからなる第1の絶縁膜31をパターン形成する。第1の絶縁膜31を形成するには、周知の塗布法を適用することが可能であるが、ここでは、特に、好ましい方法としてスピンコーティング法、およびダイコート法が推奨される。

【0016】スピンコーティング法による場合には、まず、ベース板21上の適宜な領域に液状の絶縁膜材を滴下し、ベース板21をスピンさせて、すべての半導体チップ23上および各半導体チップ23間を含むベース板21上の全面を絶縁膜材で被覆する。この後、絶縁膜材を乾燥し、フォトリソグラフィ法などにより、半導体チップ23の開口部27に対応する部分には開口部32を形成して第1の絶縁膜31を形成する。

【0017】また、ダイコート法の場合には、ポンプにより吸引した絶縁膜材を射出するスロットダイを走査して、すべての半導体チップ23および各半導体チップ23間を含むベース板21上の全面を絶縁膜材で被覆する。

【0018】さらに、第1の絶縁膜31を形成する他の好ましい方法として、スクリーン印刷法がある。スクリーン印刷法の場合には、各半導体チップ23の開口部27に対応する部分に開口部32が形成されるように印刷を行う。このような方法により、第1の絶縁膜31は、半導体チップ23の上面および半導体チップ23間にその上面が平坦になるようにベタ状に形成されているので、すべての半導体チップ23を確実にベース板21に接合することができる。

【0019】絶縁膜の形成において、絶縁膜材を、むらなく、均一に、かつその上面が平坦になるように形成するために、半導体チップ23はその厚さが薄い方が望ましく、限定する意味ではないが、特に20~70 μ mの厚さであることが望ましい。この場合、第1の絶縁膜31を、半導体チップ23の上面には形成せず半導体チップ23間のみに形成する方法もあるが、その場合には、各半導体チップ23は接着剤層22のみによりベース板

21に固着されるので、各半導体チップ23とベース板21との接合強度が不足する可能性がある。

【0020】次に、両開口部27、32を介して露出された接続パッド25の上面を含む第1の絶縁膜31の上面全体に第1の下地金属層33を形成する。第1の下地金属層33は、例えば、スパッタにより形成された銅層のみであってもよく、またスパッタにより形成されたチタンなどの薄膜層上にスパッタにより銅層を形成したものであってもよい。これは、後述する第2の下地金属層37の場合も同様である。

【0021】次に、第1の下地金属層33の上面にメッキレジスト膜51をパターン形成する。この場合、第1の再配線34形成領域に対応する部分におけるメッキレジスト膜51には開口部52が形成されている。次に、第1の下地金属層33をメッキ電流路として銅などの電解メッキを行うことにより、メッキレジスト膜51の開口部52内の第1の下地金属層33の上面に第1の再配線34を形成する。

【0022】次に、メッキレジスト膜51を剥離し、次いで、第1の再配線34をマスクとして第1の下地金属層33の不要な部分をエッチングして除去すると、図5に示すように、第1の再配線34下だけにのみ第1の下地金属層33が残存される。

【0023】次に、図6に示すように、第1の再配線34を含む第1の絶縁膜31の上面全体にポリイミドやエポキシ系樹脂などからなる第2の絶縁膜35をパターン形成する。第2の絶縁膜35も、スピンコーティング法、ダイコート法またはスクリーン印刷法により形成することができる。第2の絶縁膜35の上面は平坦であり、その第1の再配線34のパッド部に対応する部分には開口部36が形成されている。次に、開口部36を介して露出された第1の再配線34のパッド部を含む第2の絶縁膜35の上面全体に第2の下地金属層37を形成する。

【0024】次に、第2の下地金属層33の上面にメッキレジスト膜53をパターン形成する。この場合、第2の再配線38形成領域に対応する部分におけるメッキレジスト膜53には開口部54が形成されている。次に、第2の下地金属層37をメッキ電流路として銅などの電解メッキを行うことにより、メッキレジスト膜53の開口部54内の第2の下地金属層37の上面に第2の再配線38を形成する。

【0025】次に、メッキレジスト膜53を剥離し、次いで、第2の再配線38をマスクとして第2の下地金属層37の不要な部分をエッチングして除去すると、図7に示すように、第2の再配線38下だけにのみ第2の下地金属層37が残存される。

【0026】次に、図8に示すように、第2の再配線38を含む第2の絶縁膜35の上面全体にポリイミドやエポキシ系樹脂などからなる第3の絶縁膜39を、やは

10

20

30

40

50

り、スピンコーティング法、ダイコート法またはスクリーン印刷法により形成する。この場合、第3の絶縁膜39の上面は平坦であり、その第2の再配線38のパッド部に対応する部分には開口部40が形成されている。次に、開口部40内およびその上方に半田ボール41を第2の再配線38のパッド部に接続させて形成する。

【0027】次に、図9に示すように、互いに隣接する半導体チップ23、23間において、3層の絶縁膜39、35、31、接着層22およびベース板21を切断すると、図1および図2に示す半導体装置が複数個得られる。

【0028】このようにして得られた半導体装置では、半導体チップ21の接続パッド25に接続される第1の下地金属層33および第1の再配線34をスパッタおよび電解メッキにより形成し、第1の再配線34のパッド部に接続される第2の下地金属層37および第2の再配線38をスパッタおよび電解メッキにより形成しているため、半導体チップ21の接続パッド25と第1の再配線34との間の導電接続および第1の再配線34と第2の再配線38との間の導電接続を確実とすることができる。

【0029】また、本実施形態の製造方法では、ベース板21上の接着層22上の所定の複数箇所にそれぞれ半導体チップ23を接着して配置し、複数の半導体チップ23に対して第1～第3の絶縁膜31、35、39、第1、第2の下地金属層33、37、第1、第2の再配線34、38および半田ボール41の形成を一括して行い、その後に分断して複数個の半導体装置を得るので、製造工程を簡略化することができる。また、ベース板21と共に複数の半導体チップ23を搬送することができるので、これによっても製造工程を簡略化することができる。さらに、ベース板21の外形寸法を一定にすると、製造すべき半導体装置の外形寸法に関係なく、搬送系を共有化することができる。

【0030】次に、図1および図2に示す半導体装置の製造方法の他の例について説明する。まず、図10に示すように、紫外線透過性の透明樹脂板やガラス板などからなる別のベース板55の上面全体に紫外線硬化型の粘着シートなどからなる接着層56を接着し、接着層56の上面に上述のベース板21および接着層22を接着したものを用意する。

【0031】そして、図3～図8にそれぞれ示す製造工程を経た後に、図11に示すように、3層の絶縁膜39、35、31、接着層22、ベース板21および接着層56を切断し、別のベース板55を切断しない。次に、別のベース板55の下面側から紫外線を照射し、接着層56を硬化させる。すると、分断されたベース板21の下面に対する接着層56による接着性が低下する。そこで、接着層56上に存在する個片化されたものを1つずつ剥がしてピックアップすると、図1および図2に

示す半導体装置が複数個得られる。

【0032】この製造方法では、図11に示す状態において、接着層56上に存在する個片化された半導体装置がバラバラとならないので、専用の半導体装置載置用トレイを用いることなく、そのまま、図示しない回路基板上への実装時に1つずつ剥がしてピックアップすることができる。また、別のベース板55の上面に残存する接着性が低下した接着層56を剥離すると、別のベース板55を再利用することができる。さらに、別のベース板55の外形寸法を一定にすると、製造すべき半導体装置の外形寸法に関係なく、搬送系を共有化することができる。なお、接着層56としては、場合によっては、熱硬化型の粘着シートなどを用いてもよい。

【0033】ところで、図3に示すベース板21あるいは図10に示す別のベース板55の周囲に側壁を設けてトレイ状としてもよい。すなわち、ベース板を周縁部に側壁を有するトレイ状とし、側壁の上面に導電性金属層を形成しておく。そして第1の再配線層34または第2の再配線層38を電解めっきにより形成する際、第1の下地金属層33または第1の下地金属層37と側壁の上面に形成された導電性金属層とを導電体により接続して、導電性金属層および導電体をメッキ電流路としする。このように、ベース板55をトレイ状としておけば、ベース板21のサイズが異なる場合でも、トレイ状のベース板55に収納することで、常に、ほぼ同一条件で電解めっきを行うことができる。

【0034】（第2実施形態）図12はこの発明の第2実施形態としての半導体装置の縦断面図を示したものである。この半導体装置において、図2に示す半導体装置と大きく異なる点は、第1の再配線34のパッド部上に柱状電極61を設け、この柱状電極61上に第2の再配線38下の第2の下地金属層37を接続したことである。

【0035】次に、この半導体装置の製造方法の一例について説明する。この場合、図4に示す状態においてメッキレジスト膜51を剥離するまでの製造工程は、上記の場合と同じであるので、それ以後の製造工程について説明する。

【0036】さて、図4に示す状態においてメッキレジスト膜51を剥離したら、次に、図13に示すように、第1の再配線配線34を含む第1の下地金属層33の上面にメッキレジスト膜62をパターン形成する。この場合、第1の再配線34のパッド部に対応する部分におけるメッキレジスト膜62には開口部63が形成されている。

【0037】次に、第1の下地金属層33をメッキ電流路として銅などの電解メッキを行うことにより、メッキレジスト膜62の開口部63内の第1の再配線34のパッド部の上面に柱状電極61を高さ50～150μm程度に形成する。次に、メッキレジスト膜62を剥離し、

次いで、第1の再配線34をマスクとして第1の下地金属層33の不要部分をエッチングして除去すると、図14に示すように、第1の再配線34下にはのみ第1の下地金属層33が残存される。

【0038】次に、図15に示すように、柱状電極61および第1の再配線34を含む第1の絶縁膜31の上面全体にポリイミドやエポキシ系樹脂などからなる第2の絶縁膜35をその厚さが柱状電極61の高さよりもやや厚くなるように形成する。従って、この状態では、柱状電極61の上面は第2の絶縁膜35によって覆われている。次に、第2の絶縁膜35の上面側を適宜に研磨することにより、図16に示すように、柱状電極61の上面を露出させる。

【0039】この後、図7および図8に示す場合とほぼ同様の製造工程を経ることにより、図17に示すように、柱状電極61の上面を含む第2の絶縁膜35の上面に第2の下地金属層37および第2の再配線38を形成し、第2の再配線38を含む第2の絶縁膜35の上面に第3の絶縁膜39をパターン形成し、第3の絶縁膜39の開口部40内およびその上方に半田ボール41を第2の再配線38のパッド部に接続させて形成する。

【0040】次に、図18に示すように、互いに隣接する半導体チップ23、23間において、3層の絶縁膜39、35、31、接着層22およびベース板21を切断すると、図12に示す半導体装置が複数個得られる。

【0041】このようにして得られた半導体装置では、半導体チップ21の接続パッド25に接続される第1の下地金属層33および第1の再配線34をスパッタおよび電解メッキにより形成し、第1の再配線34のパッド部上に柱状電極61を電解メッキにより形成し、柱状電極61の上面に接続される第2の下地金属層37および第2の再配線38をスパッタおよび電解メッキにより形成しているので、半導体チップ21の接続パッド25と第1の再配線34との間の導電接続、第1の配線層34と柱状電極61との間の導電接続および柱状電極61と第2の再配線38との間の導電接続を確実にすることができる。

【0042】また、この半導体装置では、高さ50～150 μ m程度の比較的高い柱状電極61を備えているので、第1の再配線33と第2の再配線38との間の間隔を比較的大きくすることができるので、両再配線33、38相互の電氣的干渉を低減することができる。また、この半導体装置をその半田ボール41を介して図示しない回路基板上に実装した後において、シリコン基板24と回路基板との間の熱膨張係数差に起因して発生する応力を柱状電極61である程度緩和することができる。

【0043】また、本実施形態の製造方法でも、ベース板21上の接着層22上の所定の複数箇所にそれぞれ半導体チップ23を接着して配置し、複数の半導体チップ23に対して第1～第3の絶縁膜31、35、39、第

1、第2の下地金属層33、37、第1、第2の再配線34、38、柱状電極61および半田ボール41の形成を一括して行い、その後に分断して複数個の半導体装置を得ているので、製造工程を簡略化することができる。また、ベース板21と共に複数の半導体チップ23を搬送することができるので、これによっても製造工程を簡略化することができる。さらに、ベース板21の外形寸法を一定にすると、製造すべき半導体装置の外形寸法に關係なく、搬送系を共有化することができる。

【0044】なお、本実施形態の他の製造方法として、図10に示す別のベース板55の上面に接着層56が設けられたものを用意し、半田ボール41を形成した後、3層の絶縁膜39、35、31、接着層22、ベース板21および接着層56を切断し、その後、接着層56上に存在する個片化されたものを1つずつ剥がしてピックアップするようにしてもよい。

【0045】（第3実施形態）図3に示す製造工程において、接着層22を半導体チップ23のシリコン基板24の下面に設け、この接着層22をベース板21の上面の各所定の箇所に接着した場合には、図19に示すこの発明の第3実施形態としての半導体装置が得られる。接着層22を半導体チップ23のシリコン基板24の下面に設ける方法としては、接続パッド25、絶縁膜26が形成されたシリコンウエハの裏面に接着層22を固着し、この後、シリコンウエハをダイシングして、裏面に接着層22を有する半導体チップ23を得るようにすると能率的である。他の方法として、ベース板21の、各半導体チップ23を搭載する領域にディスペンサーなどによりダイボンド材を滴下し、この上から、半導体チップ23を搭載し、加熱加圧してベース板21に固着する方法がある。

【0046】（第4実施形態）また、図12に示す第2実施形態において、第3実施形態のように、接着層22を半導体チップ23のシリコン基板24の下面に設け、この接着層22をベース板21の上面の各所定の箇所に接着した場合には、図20に示すこの発明の第4実施形態としての半導体装置が得られる。

【0047】第3実施形態および第4実施形態の半導体装置では、半導体チップ21のシリコン基板22の下面が接着層22を介してベース板21の上面に接着されているはかに、シリコン基板24の側面などが第1の絶縁膜31を介してベース板21の上面に固着されているので、半導体チップ21のベース板21に対する接合強度をある程度強くすることができる。

【0048】（第5実施形態）図21はこの発明の第5実施形態としての半導体装置の縦断面図を示したものである。この半導体装置において、図2に示す半導体装置と異なる点は、ベース板21および接着層22を備えていないことである。

【0049】この第5実施形態の半導体装置を製造する

場合には、前提条件として、図8に示す状態において、ベース板21は紫外線透過性の透明樹脂板やガラス板などのからなり、接着層22は紫外線硬化型の粘着シートなどからなる。そして、図22に示すように、互いに隣接する半導体チップ23、23間において、3層の絶縁膜39、35、31および接着層22を切断し、ベース板21を切断しない。

【0050】次に、ベース板21の下面側から紫外線を照射し、接着層22を硬化させる。すると、半導体チップ23のシリコン基板24およびその周囲の第1の絶縁膜31の下面に対する接着層22による接着性が低下する。そこで、接着層22上に存在する個片化されたものを1つずつ剥がしてピックアップすると、図21に示す半導体装置が複数個得られる。

【0051】このようにして得られた半導体装置では、ベース板21および接着層22を備えていないので、その分だけ、薄型化することができる。また、接着層22上に存在する個片化された半導体装置がバラバラとならないので、専用の半導体装置載置用トレイを用いることなく、そのまま、図示しない回路基板上への実装時に1つずつ剥がしてピックアップすることができる。さらに、ベース板21の上面に残存する接着性が低下した接着層22を剥離すると、ベース板21を再利用することができる。

【0052】(第6実施形態)図12に示すような柱状電極61を備えた半導体装置の場合も、上記第5実施形態の場合とはほぼ同様の製造工程を経ると、図23に示すこの発明の第6実施形態のように、ベース板21および接着層22を備えていない半導体装置が得られる。

【0053】(第7実施形態)図9に示す場合には、互いに隣接する半導体チップ23、23間において切断したが、これに限らず、例えば、2個またはそれ以上の半導体チップ23を1組として切断し、マルチチップモジュール型の半導体装置を得るようにしてもよい。この場合、例えば、図24に示すこの発明の第7実施形態のように、互いに隣接する半導体チップ23、23間において、第2の再配線層38をその下の第2の下地金属層37と共に適宜に接続するようにしてもよい。この場合、当該第2の再配線38上に半田ボール41を2つではなく1つ設けるようにしてもよい。このようなことは、上記他の実施形態についても同様である。

【0054】(第8実施形態)図24に示す場合には、2個またはそれ以上の半導体チップ23を1組として切断しているが、これに限らず、例えば、図25に示すこの発明の第8実施形態のように、個片に切断した後の半導体装置において、ベース板21上に、2個またはそれ以上の半導体チップ23が配置されているほかに、コンデンサ、インダクタ、抵抗などからなるチップ部品71が配置されているようにしてもよい。この場合、チップ部品71に接続された第1の再配線34aは半導体チッ

プ23に接続された第1の再配線34と適宜に接続され、またチップ部品71に接続された第1の再配線34aには第2の再配線38が適宜に接続されている。

【0055】ところで、図24および図25にそれぞれ示す場合には、半導体チップ23やチップ部品71の形状や厚さが互いに異なっても、第1～第3の絶縁膜31、35、39、第1、第2の再配線34、38および半田ボール41などの形成を一括して行い、その後に分断して複数個の半導体装置を得ることができるので、製造工程を簡略化することができる。

【0056】(その他の実施形態)なお、再配線の層数は、上記各実施形態の2層に限定されるものではなく、1層あるいは3層以上としてもよい。再配線の層数を1層とする場合には、この再配線のパッド部の少なくとも一部をシリコン基板の周囲における絶縁膜上に配置する。再配線の層数を3層以上とする場合には、各層の再配線間に柱状電極を設けるようにしてもよい。また、再配線の層数に関係なく、最上層の再配線のパッド部に柱状電極を設け、柱状電極の上面以外を最上層の絶縁膜で覆い、柱状電極上に半田ボールを設けるようにしてもよい。

【0057】また、上記各実施形態において、半導体チップ23は、外部接続用の電極として接続パッド25のみを有するものとしたが、接続パッド25上に電解めっきなどにより形成された柱状電極を有するものでもよく、要は、少なくとも、接続パッド25を有するものであれば適用可能である。

【0058】

【発明の効果】以上説明したように、この発明によれば、再配線のパッド部の一部を半導体チップの周囲における絶縁膜上に配置しているので、再配線のパッド部の数が増加しても、そのサイズおよびピッチを必要な大きさにすることが可能となる。また、この発明によれば、複数または複数組の半導体チップをベース板上に配置し、半導体チップを含むベース板の上面全体に絶縁膜を形成し、絶縁膜の上面に再配線を半導体チップの接続パッドに接続させて形成し、絶縁膜を少なくとも切断することにより、半導体チップを1つまたは1組有し、その周囲に絶縁膜を有するとともに、周囲の絶縁膜上に再配線のパッドの一部が配置される半導体装置を複数個一括して得ることができて、ボンディングによる接続方法ではないため、半導体チップと再配線とを確実に導電接続することができて、接続不良の発生を無くすることができるとともに、複数または複数組の半導体チップに対して絶縁膜および再配線の形成を一括して行うことができるので、製造工程を簡略化することができる。

【図面の簡単な説明】

【図1】この発明の第1実施形態としての半導体装置の平面図。

【図2】図1に示す半導体装置の適当な部分の縦断面

図。

【図 3】図 1 および図 2 に示す半導体装置の製造方法の一例において、当初の製造工程の縦断面図。

【図 4】図 3 に続く製造工程の縦断面図。

【図 5】図 4 に続く製造工程の縦断面図。

【図 6】図 5 に続く製造工程の縦断面図。

【図 7】図 6 に続く製造工程の縦断面図。

【図 8】図 7 に続く製造工程の縦断面図。

【図 9】図 8 に続く製造工程の縦断面図。

【図 10】図 1 および図 2 に示す半導体装置の製造方法 10 の他の例において、当初用意したものの縦断面図。

【図 11】同他の例において、所定の製造工程の縦断面図。

【図 12】この発明の第 2 実施形態としての半導体装置の縦断面図。

【図 13】図 12 に続く製造工程の縦断面図。

【図 14】図 13 に続く製造工程の縦断面図。

【図 15】図 14 に続く製造工程の縦断面図。

【図 16】図 15 に続く製造工程の縦断面図。

【図 17】図 16 に続く製造工程の縦断面図。

【図 18】図 17 に続く製造工程の縦断面図。

【図 19】この発明の第 3 実施形態としての半導体装置の縦断面図。

【図 20】この発明の第 4 実施形態としての半導体装置の縦断面図。

*

* 【図 21】この発明の第 5 実施形態としての半導体装置の縦断面図。

【図 22】図 21 に示す半導体装置の製造に際し、所定の製造工程の縦断面図。

【図 23】この発明の第 6 実施形態としての半導体装置の縦断面図。

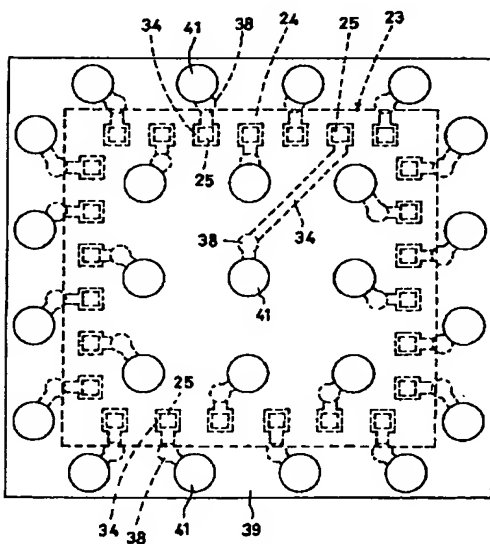
【図 24】この発明の第 7 実施形態としての半導体装置の縦断面図。

【図 25】この発明の第 8 実施形態としての半導体装置の縦断面図。

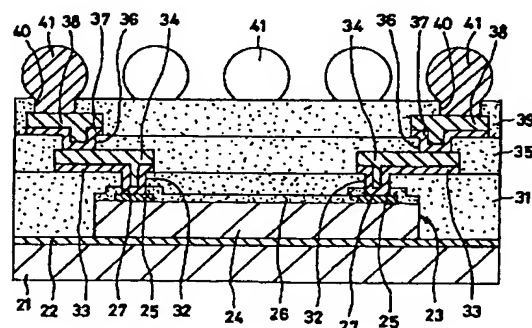
【符号の説明】

- 21 ベース板
- 22 接着層
- 23 半導体チップ
- 25 接続パッド
- 31 第 1 の絶縁膜
- 33 第 1 の下地金属層
- 34 第 1 の再配線
- 35 第 2 の絶縁膜
- 37 第 2 の下地金属層
- 38 第 2 の再配線
- 39 第 3 の絶縁膜
- 41 半田ボール
- 55 別のベース板

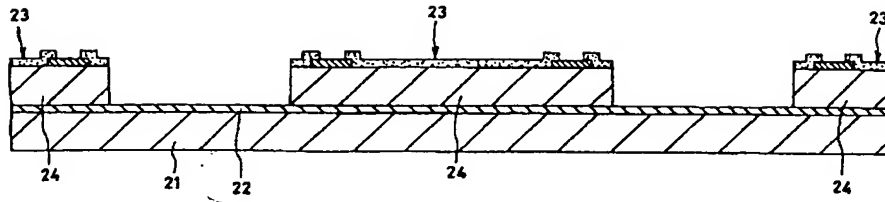
【図 1】



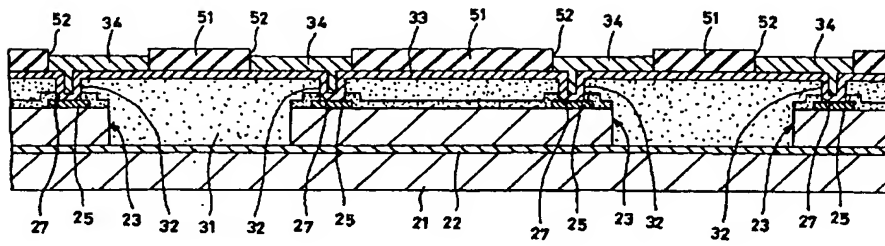
【図 2】



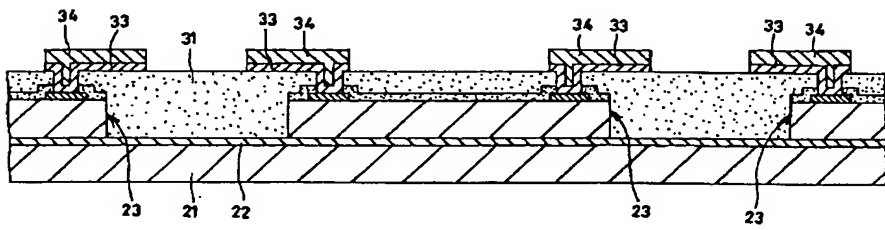
【図3】



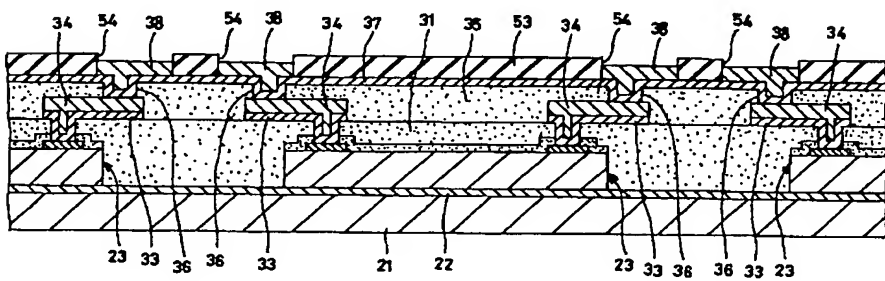
【図4】



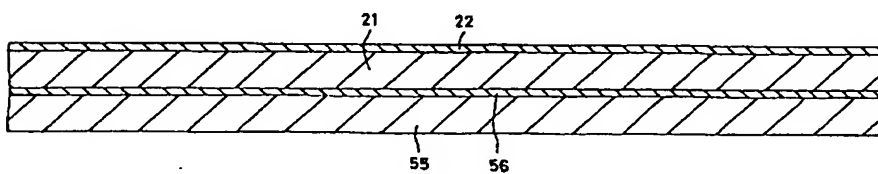
【図5】



【図6】

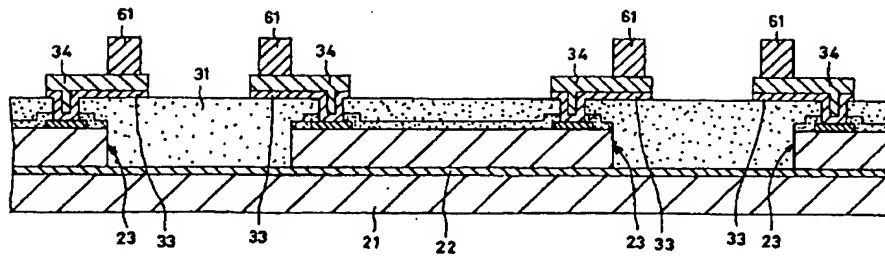


【図10】

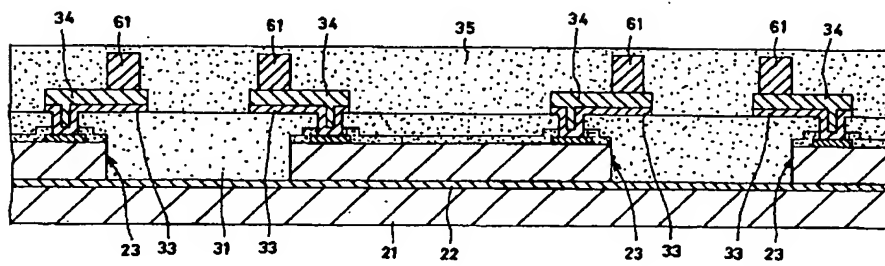


This cross-sectional view shows a multi-layered substrate assembly. At the base is a substrate 21 with a bottom conductive layer 22. A central conductive layer 24 is positioned above the bottom conductive layer 22. The assembly is covered by a top dielectric layer 31. On the top surface of the dielectric layer 31, there are solder bumps 34 and solder balls 35. The solder bumps 34 are connected to the central conductive layer 24 via conductive vias 38. The solder balls 35 are connected to the central conductive layer 24 via conductive vias 39. The solder bumps 34 are also connected to the top conductive layer 33 via conductive vias 41. The solder balls 35 are also connected to the top conductive layer 33 via conductive vias 41. The top conductive layer 33 is connected to the central conductive layer 24 via conductive vias 37. The solder bumps 34 are also connected to the top conductive layer 33 via conductive vias 38. The solder balls 35 are also connected to the top conductive layer 33 via conductive vias 39.

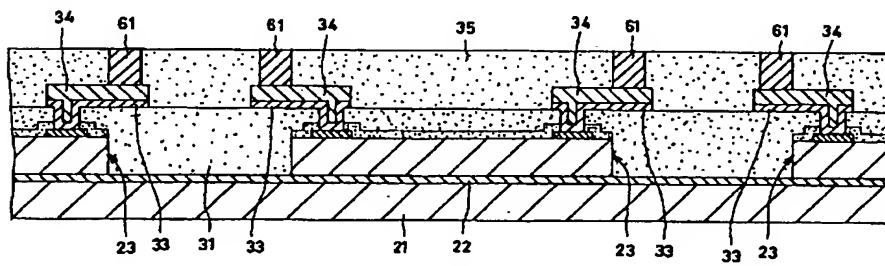
【図14】



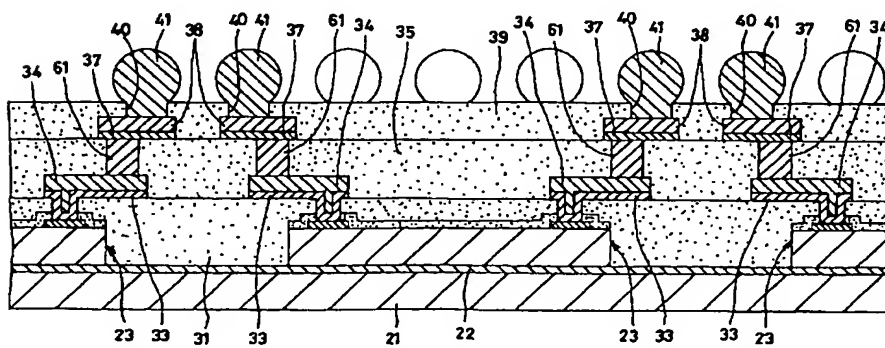
【図15】



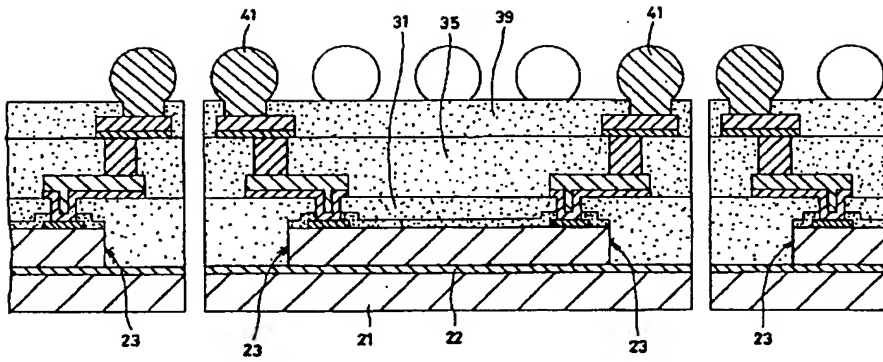
【図16】



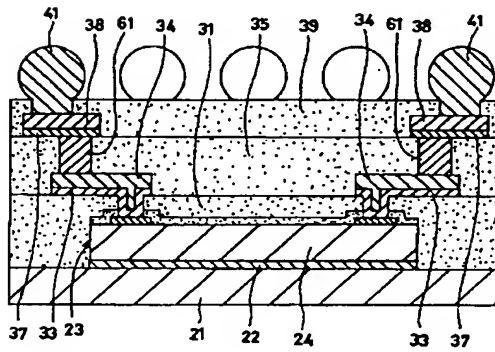
【図17】



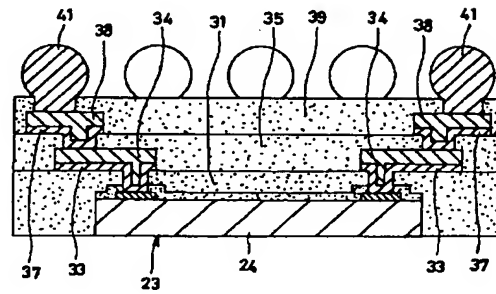
【図18】



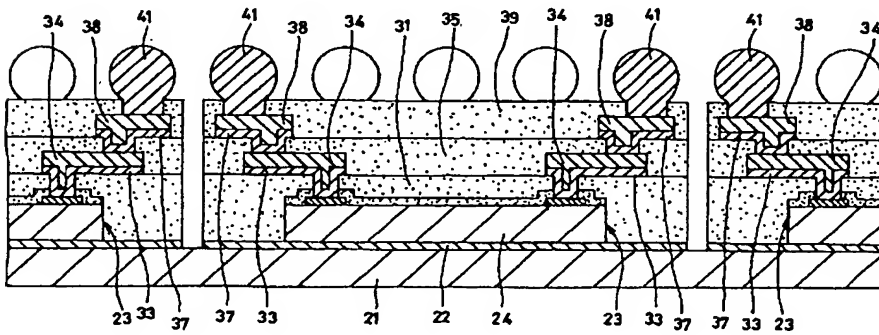
【図20】



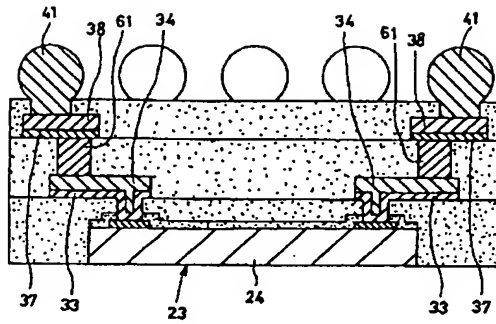
【図21】



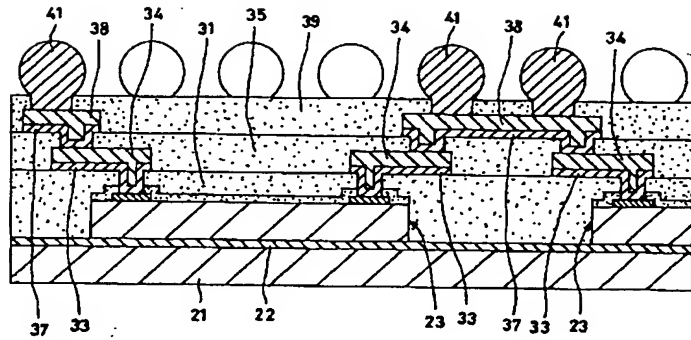
【図22】



【図23】



【図24】



【図25】

